

**大型四角基板対応と解像力 1.0 マイクロメートルを両立
半導体露光装置 “FPA-8000iW” を発売**

キヤノンは、半導体露光装置の新製品として、515×510mm までの大型四角基板への対応と 1.0 マイクロメートル^{※1} の高い解像力を両立した後工程向け i 線^{※2} ステッパ “FPA-8000iW” を 2020 年 7 月上旬に発売します。



FPA-8000iW

新製品は、キヤノンの半導体露光装置として初めて大型四角基板に対応した後工程向け露光装置です。キヤノン独自の投影光学系を搭載し、広画角の露光を可能にすると同時に 1.0 マイクロメートルの高解像力を実現します。これにより、データセンター向けの CPU や GPU などの低消費電力化を実現する有機基板を使った PLP^{※3} において、515×510mm の大型四角基板で効率よく生産したいユーザーのニーズに応えます。高い解像力と広画角の露光、高い生産性を達成したことで、半導体パッケージング^{※4} のさらなる微細化と大型化、コストダウンを実現します。

■ 高い生産性を実現する大型基板でのパッケージングに対応

四角基板を使ったパッケージ工程のニーズに応え、515×510mm の大型四角基板を搬送できる新しいプラットフォームを開発しました。また、大型四角基板に生じやすい基板反りにおいても、新たな搬送システムの搭載により、10mm もの大きな反りを矯正した状態で露光できます。これにより大型半導体チップを効率よく生産できる PLP を実現し、高い生産性を求めるユーザーのニーズに応えます。

■ 先端パッケージングを可能にする解像力 1.0 マイクロメートルを実現

キヤノン独自の投影光学系により、52×68mm の広画角の露光が可能で、四角基板対応のパッケージング向け露光装置として最高^{※5} の解像力 1.0 マイクロメートルを実現しました。これにより、半導体チップの高集積化・薄型化に対応できる PLP などの先端パッケージングが可能になり、さまざまなユーザーのニーズに応えます。

※1 1 マイクロメートルは、100 万分の 1 メートル。(=1000 分の 1mm)

※2 i 線 (水銀ランプ波長 365nm) の光源を利用した半導体露光装置。1nm (ナノメートル) は 10 億分の 1 メートル。

※3 Panel Level Packaging の略。多数の半導体チップを薄型で四角形の大判パネルに並べて一括成型するパッケージ製造工法。

※4 繊細な半導体チップを外部環境から保護し、実装する際に外部との電気接続を可能にすること。

※5 2020 年 6 月 22 日現在。(キヤノン調べ)

● 一般の方のお問い合わせ先 : キヤノン株式会社光機営業統括センター 03-5732-8770 (直通)

● キヤノン産業機器ホームページ : global.canon/ja/product/indtech/semicon/

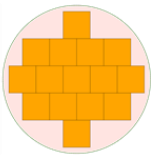
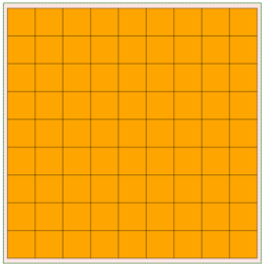
<ご参考>

■ 半導体露光装置の後工程とは

半導体チップの製造工程において、半導体露光装置は、回路パターンを「露光」する役割を担っています。露光する一連の工程において、半導体チップをシリコンウエハー上に作る工程を前工程と呼び、繊細な半導体チップを外部環境から保護し、実装する際に外部との電気接続を可能にするためにパッケージに封じる工程（パッケージ工程）を後工程と呼びます。

■ PLP とは

Panel Level Packaging の略で、多数の半導体チップを薄型で四角形の大判パネルに並べ一括成型するパッケージ製造工法です。通常の 300mm ウエハーに比べ、一度に多くの半導体チップをウエハー上に効率よく配置できるため、高い生産性を実現します。

	300mm ウエハー	515x510mm パネル
チップが置ける面積	64%	93%
レイアウト例		

*shot size: 55×55mm

半導体チップの配置比較イメージ図

<半導体露光装置の市場動向>

近年の IoT 化に伴い、半導体チップ製造においては、パッケージ基板のさらなる高集積化や薄型化が進んでいます。例えばデータセンター向けの高性能 AI チップは、高性能 CPU や FPGA^{※1} を複数の高速大容量メモリと接合するため、パッケージが高集積化、大型化する方向にあります。先端パッケージング技術の一つである PLP は、半導体チップの高集積化・薄型化に対応できるだけでなく、大型基板への対応が可能で高い生産性を達成できるため、有力技術として注目を集めています。PLP は、AI チップ、HPC^{※2} などの特に早い処理速度が求められる最先端の半導体チップの製造に採用されています。（キヤノン調べ）

※1 Field Programmable Gate Array の略。集積回路の一種。

※2 High-Performance Computing の略。非常に計算量の多い処理をコンピューターに行わせること。

<主な製品仕様>

製品仕様の詳細は、ホームページをご参照ください。